

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010077246      \*\*Image available\*\*

WPI Acc No: 1994-344959/199443

Related WPI Acc No: 2001-128204; 2001-141792

XRAM Acc No: C95-103275

Mfg. thin film transistor uses metal film to rapidly crystallise -  
involves using metal film to rapidly crystallise, amorphous silicon film  
and decrease leakage off-current

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKAYAMA T; TAKEMURA Y; UOCHI H; ZHANG H

Number of Countries: 002    Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 6267849</b>	A	19940922	JP 9379002	A	19930312	199443 B
US 5426064	A	19950620	US 94207126	A	19940308	199530
US 5580792	A	19961203	US 94207126	A	19940308	199703
			US 95387238	A	19950213	

Priority Applications (No Type Date): JP 9379002 A 19930312

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6267849	A		6 H01L-021/20	
US 5426064	A		8 H01L-021/265	
US 5580792	A		8 H01L-021/306	Div ex application US 94207126 Div ex patent US 5426064

Abstract (Basic): JP 6267849 A Dwg.1/3 US 5426064 A

The method comprises forming a Si film on a substrate, forming at least one of Ni, Fe, Co or Pt in contact with the Si film and thermally annealing it. The film is then etched to a depth of 20-200 Å (15), and an insulating film (16) and gate electrode (17) formed.

Also claimed are (i) a method as above in which the metal above is contained in the Si film; (ii) a method as above, in which the metal contg. Si film is crystalline; (iii) a method as above in which the metal is formed on the substrate before the Si film is formed; and (iv) a method as in the first claim above in which etching is to a depth not more than the thickness of the Si film after annealing.

USE - Used for thin film transistors and other semiconductor devices.

ADVANTAGE - Si crystallisation is rapid and occurs at lower temps. so that good operational characteristics are obtd. Dwg.1c/3

Title Terms: MANUFACTURE; THIN; FILM; TRANSISTOR; METAL; FILM; RAPID;

CRYSTAL; METAL; FILM; RAPID; CRYSTAL; AMORPHOUS; SILICON; FILM; DECREASE; LEAK; CURRENT

Derwent Class: L03; U11; U12; U13; U14

International Patent Class (Main): H01L-021/20; H01L-021/265; H01L-021/306

International Patent Class (Additional): H01L-021/336; H01L-021/84; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04595949     \*\*Image available\*\*

**METHOD OF FORMING SEMICONDUCTOR DEVICE**

PUB. NO.:     **06-267849** [JP 6267849 A]

PUBLISHED:     September 22, 1994 (19940922)

INVENTOR(s):   CHIYOU KOUYUU

                 UOJI HIDEKI

                 TAKAYAMA TORU

                 TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:     05-079002 [JP 9379002]

FILED:           March 12, 1993 (19930312)

INTL CLASS:     [5] H01L-021/20; H01L-021/336; H01L-029/784

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1646, Vol. 18, No. 672, Pg. 154,  
December 19, 1994 (19941219)

**ABSTRACT**

**PURPOSE:** To accelerate crystallization, decrease crystallization temperature, and crystallize a silicon film in a short time that is not practically significant, by adding a trace amount of catalyst to a silicon film in the practically amorphous state.

**CONSTITUTION:** A silicon oxide base film 11 of 2000 angstroms in thickness is formed on a substrate 10 by a sputtering method. An amorphous silicon film 12 of 50-1500 angstroms in thickness, e.g. 800 angstroms, is deposited by a plasma CVD method. By a sputtering method, continuously, a nickel silicide film 13 ( $\text{NiSi}(\text{sub } x)$ ,  $4 \leq x \leq 2.5$ ) of 5-200 angstroms in thickness, e.g. 20 angstroms, is deposited. For crystallization, annealing is performed at 500 deg.C for 4 hours in a reducing atmosphere. As the result, the amorphous silicon film is crystallized.

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-267849

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>H 0 1 L 21/20  
21/336  
29/784

識別記号

庁内整理番号

8122-4M

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21)出願番号

特願平5-79002

(22)出願日

平成5年(1993)3月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

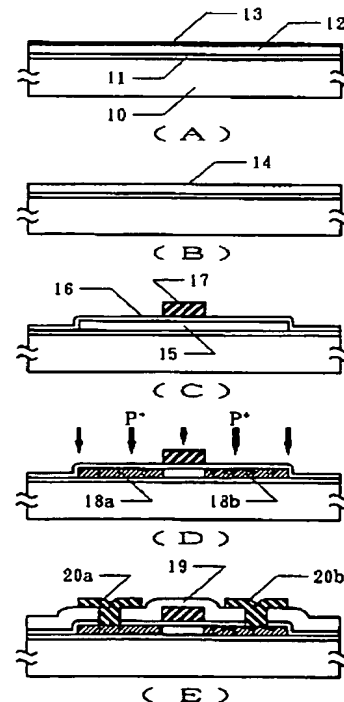
最終頁に続く

## (54)【発明の名称】 半導体素子の作製方法

## (57)【要約】

【目的】 結晶性シリコンを使用する薄膜トランジスタ等の半導体素子において、シリコンの結晶化温度を低下させ、かつ結晶化時間を短縮し、加えて、信頼性と特性の改善を図る。

【構成】 基板上に形成されたアモルファスシリコン薄膜上もしくは下に密着してニッケル、鉄、コバルト、白金の少なくとも1つを有する材料を選択的に設け、あるいはアモルファスシリコン膜中にこれらの元素を添加し、これをアニールすることによって結晶化させ、このようにして得られた結晶化シリコン膜の表面の20~200Åをエッチングして、清浄な表面を得て、これに化学的もしくは物理的气相法によって絶縁被膜を形成することによって、信頼性の高い半導体素子とする。



## 【特許請求の範囲】

【請求項 1】 基板上に、実質的にアモルファス状態のシリコン膜を形成する工程と、前記アモルファスシリコン膜に密着してニッケル、鉄、コバルト、白金の少なくとも 1 つを含有する材料を形成する工程と、前記アモルファスシリコン膜を熱アニールする工程と、前記熱アニール工程の後に、シリコン膜の表面を  $20 \sim 200 \text{ \AA}$  だけエッチングする工程と、前記エッチング工程後に絶縁被膜を形成する工程と、前記絶縁被膜上にゲイト電極を形成することを特徴とする半導体素子の作製方法。

【請求項 2】 基板上にニッケル、鉄、コバルト、白金の少なくとも 1 つを含有する実質的にアモルファス状態のシリコン膜を形成する工程と、前記アモルファスシリコン膜を熱アニールする工程と、前記熱アニール工程の後に、シリコン膜の表面を  $20 \sim 200 \text{ \AA}$  だけエッチングする工程と、前記エッチング工程後に絶縁被膜を形成する工程と、前記絶縁被膜上にゲイト電極を形成することを特徴とする半導体素子の作製方法。

【請求項 3】 請求項 2 において、実質的にアモルファス状態のシリコン膜においてニッケル、コバルト、鉄、白金のうち、少なくとも 1 つの濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  以上であり、かつ、これらの元素の合計の濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  未満であることを特徴とする半導体素子の作製方法。

【請求項 4】 請求項 3 において、ニッケル、コバルト、鉄、白金の濃度は、2 次イオン質量分析法によって測定された最小値で定義されることを特徴とする半導体素子の作製方法。

【請求項 5】 基板上にニッケル、鉄、コバルト、白金の少なくとも 1 つを含有する結晶性のシリコン膜を形成する工程と、前記シリコン膜の表面を  $20 \sim 200 \text{ \AA}$  だけエッチングする工程と、前記エッチング工程後に絶縁被膜を形成する工程と、前記絶縁被膜上にゲイト電極を形成することを特徴とする半導体素子の作製方法。

【請求項 6】 基板上に、実質的にアモルファス状態のシリコン膜と、前記アモルファスシリコン膜に密着してニッケル、鉄、コバルト、白金の少なくとも 1 つを含有する材料を形成する工程と、前記アモルファスシリコン膜を熱アニールする工程と、前記熱アニール工程の後に、シリコン膜の表面をシリコン膜の厚さの  $1/100$  以上  $1/5$  以下だけエッチングする工程と、前記エッチング工程後に絶縁被膜を形成する工程と、前記絶縁被膜上にゲイト電極を形成することを特徴とする半導体素子の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ (TFT)、薄膜ダイオード等の薄膜状態の半導体素子の作製方法に関するものである。特に本発明は、結晶性の半導体材料を使用する半導体素子に関する。本発明によ

て作製される半導体素子は、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。

## 【0002】

【従来の技術】 薄膜トランジスタ、薄膜ダイオード等の薄膜半導体素子は、使用されるシリコンの種類によって、アモルファス系素子と結晶系素子に分かれている。アモルファスシリコンは電界効果移動度や導電率等の物性で結晶性シリコンに劣るので、高い動作特性を得るには結晶系の半導体素子が求められている。

## 【0003】

【発明が解決しようする課題】 しかしながら、シリコン膜の結晶化をおこなうには  $600^\circ\text{C}$  以上の温度が必要であり、かつ、その結晶化に長い時間が必要であったので、実際に量産する場合には、結晶化装置の設備がいくつも必要とされ、巨額の設備投資がコストに跳ね返ってくるという問題を抱えていた。本発明は、 $600^\circ\text{C}$  以下の温度で、かつ、実質的に問題にならない程度の短時間でシリコン膜の結晶化をおこない、これを半導体素子に利用する技術を提供する。

## 【0004】

【課題を解決するための手段】 本発明では、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮する。触媒材料としては、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、白金の単体、もしくは珪化物等の化合物が適している。具体的には、これらの元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの元素を導入し、その後、これを適当な温度で熱アニールすることによって結晶化させる。

【0005】 化学的気相成長法 (CVD 法) によってアモルファスシリコン膜を形成する際には原料ガス中に、また、スパッタリング等の物理的気相法でアモルファスシリコン膜を形成する際には、ターゲットや蒸着源等の成膜材料中に、これらの触媒材料を添加しておいてもよい。当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、これらのうちの少なくとも 1 つの元素の濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  以上存在することが望ましいことがわかった。なお、これらの元素の濃度は、2 次イオン質量分析 (SIMS) 法によって測定した膜中の最小値を用いて判断すると良い。

【0006】 なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これ

## 3

らの触媒材料の濃度は合計して  $1 \times 10^{20} \text{ cm}^{-3}$  を越えないことが望まれる。さらに良い特性を得るには熱アニールによって結晶化させたシリコン膜の表面を  $20 \sim 200 \text{ \AA}$ 、あるいはシリコン膜の厚さの  $1/100$  以上、 $1/5$  以下をエッチングすればよい。これは表面にこれらの触媒材料元素の過剰なものが析出しやすいためである。そして、このように清浄にした表面をプラズマ CVD 法、光 CVD 法、減圧 CVD 法等の化学的気相法、あるいはスパッタリング法等の物理的気相法によって酸化珪素を主成分とする絶縁被膜で被覆することによって、清浄な界面が保存される。絶縁被膜には必要によって、燐等の元素を添加してもよい。このような半導体-絶縁被膜構造は、そのまま、MOS 構造等に用いることができる。上記の方法によって、TFET を作製した場合には、リーク電流 (OFF 電流) が低下し、サブスレッシュホールド特性 (S 値) が改善するという効果が認められた。以下に実施例を示し、より詳細に本発明を説明する。

【0007】

【実施例】

【実施例 1】 図 1 に本実施例の作製工程の断面図を示す。本実施例は TFET を作製する方法を示すものである。本実施例では 2 種類の TFET を作製した。まず、基板 (コーニング 7059) 10 上にスパッタリング法によって厚さ  $2000 \text{ \AA}$  の酸化珪素の下地膜 11 を形成した。さらに、プラズマ CVD 法によって、厚さ  $500 \sim 1500 \text{ \AA}$ 、例えば  $800 \text{ \AA}$  のアモルファスシリコン膜 12 を堆積した。連続して、スパッタリング法によって、厚さ  $5 \sim 200 \text{ \AA}$ 、例えば  $20 \text{ \AA}$  の珪化ニッケル膜 (化学式  $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ ) 13 を堆積した。(図 1 (A))

【0008】そして、これを還元雰囲気下、 $500^\circ\text{C}$  で 4 時間アニールして結晶化させた。この結果、アモルファスシリコン膜は結晶化した。ここまでは 2 つの TFET と同じ工程でおこなった。そして、一方の TFET はその表面をフッ化水素酸を含有するエッチング液によって  $20 \sim 200 \text{ \AA}$ 、例えば  $100 \text{ \AA}$  エッチングして、清浄な表面 14 を露出させた。他の TFET では、シリコン膜を純水で洗浄しただけで、エッチング処理はおこなわなかった。(図 1 (B))

【0009】その後は 2 つの TFET と同じ工程を採用した。得られたシリコン膜をフォトリソグラフィ法によってパターンニングし、島状シリコン領域 15 を形成した。さらに、スパッタリング法によって厚さ  $1000 \text{ \AA}$  の酸化珪素膜 16 をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は  $200 \sim 400^\circ\text{C}$ 、例えば  $350^\circ\text{C}$ 、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素 =  $0 \sim 0.5$ 、例えば  $0.1$  以下とした。(図 1 (C))

## 4

【0010】引き続き、減圧 CVD 法によって、厚さ  $6000 \sim 8000 \text{ \AA}$ 、例えば  $6000 \text{ \AA}$  のシリコン膜 ( $0.1 \sim 2\%$  の燐を含む) を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターンニングして、ゲイト電極 17 を形成した。

【0011】次に、プラズマドーピング法によって、シリコン領域にゲイト電極 17 をマスクとして不純物 (燐) を注入した。ドーピングガスとして、フォスフィン ( $\text{PH}_3$ ) を用い、加速電圧を  $60 \sim 90 \text{ kV}$ 、例えば  $80 \text{ kV}$  とした。ドーズ量は  $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{15} \text{ cm}^{-2}$  とした。この結果、N 型の不純物領域 18a、18b が形成された。(図 1 (D))

【0012】その後、還元雰囲気中、 $500^\circ\text{C}$  で 4 時間アニールすることによって、不純物を活性化させた。このとき、シリコン膜中にはニッケルが拡散しているので、このアニールによって再結晶化が容易に進行し、不純物領域 18a、18b が活性化した。続いて、厚さ  $6000 \text{ \AA}$  の酸化珪素膜 19 を層間絶縁物としてプラズマ CVD 法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線 20a、20b を形成した。最後に、1 気圧の水素雰囲気中で  $350^\circ\text{C}$ 、30 分のアニールをおこなった。以上の工程によって半導体回路が完成した。(図 1 (E))

【0013】図 2 には、本実施例で得られた 2 種類の TFET の特性 ( $V_G - I_D$  特性) を示す。測定時のソースドレイン電圧は  $1 \text{ V}$  である。a は結晶化後に、シリコン表面を  $100 \text{ \AA}$  エッチングして、酸化珪素膜を形成した TFET であり、b は結晶化後に、そのまま酸化珪素膜を形成したものである。前者 (a) は、ゲイトに負の電圧が印加された際のリーク電流 ( $I_{\text{OFF}a}$ ) が小さく、また、正の電圧が印加された際の立ち上がり ( $S_a$ ) が急峻であり、ON/OFF 比も 9 桁で理想的な電界効果トランジスタであることがわかる。一方、後者 (b) も電界効果トランジスタとして機能することは示されているが、リーク電流 ( $I_{\text{OFF}b}$ ) が前者に比べ大きく、正の電圧が印加された際の立ち上がり ( $S_b$ ) が緩やかで、ON/OFF 比も 6 桁程度である。しきい値電圧も前者の方が小さい。これは前者の半導体膜中に存在するトラップ準位の密度が小さいことを示唆している。このように、本発明の有無によって、TFET に差が生じることが明らかになった。

【0014】【実施例 2】 図 3 に本実施例の作製工程の断面図を示す。基板 (コーニング 7059) 30 上にスパッタリングによって厚さ  $2000 \text{ \AA}$  の酸化珪素の下地膜 31 を形成した。さらに、電子ビーム蒸着法によって、厚さ  $5 \sim 200 \text{ \AA}$ 、例えば  $10 \text{ \AA}$  のニッケル膜 33 を堆積し、さらに、プラズマ CVD 法によって、厚さ 5

00~1500Å、例えば500Åのアモルファスシリコン膜32を堆積した。(図3(A))

【0015】そして、これを還元雰囲気下、480℃で8時間アニールして結晶化させた。この結晶化工程後、四塩化炭素(CCl<sub>4</sub>)もしくは四フッ化炭素(CF<sub>4</sub>)のプラズマによって、シリコン膜表面を軽くエッチングした。エッチングされた深さは20~200Åであった。エッチング後、今度は塩化水素(HCl)を1~10%含む350~480℃の雰囲気中で30分処理した。こうして、清浄な表面34を形成した。(図3(B))

【0016】その後、このシリコン膜をパターニングして、島状シリコン領域35を形成した。さらに、テトラ・エトキシ・シラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>、TEOS)と酸素を原料として、プラズマCVD法によってゲイト絶縁膜として、厚さ1000Åの酸化珪素36を形成した。原料には、上記ガスに加えて、トリクロロエチレン(C<sub>2</sub>HCl<sub>3</sub>)を用いた。成膜前にチャンパーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンパーに酸素300SCCM、TEOS15SCCM、トリクロロエチレン2SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンパーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0017】引き続いて、スパッタリング法によって、厚さ6000~8000Å、例えば6000Åのアルミニウム膜(2%のシリコンを含む)を堆積した。なお、この酸化珪素36とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をパターニングして、配線37a、37b、37cを形成した。配線37a、37bは、いずれもゲイト電極として機能する。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層39a、39b、39cを形成した。陽極酸化の前に感光性ポリイミド(フォトリソ)によって後でコンタクトを形成する部分にポリイミドマスク38を選択的に形成した。陽極酸化の際には、このマスクのために、この部分には陽極酸化物が形成されなかった。

【0018】陽極酸化は、酒石酸の1~5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。次に、プラズマドーピング法によって、シリコン領域に不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域40aを形成した。さらに、今度は左側のTFT(Nチャ

ネル型TFT)のみをフォトレジストでマスクして、再び、プラズマドーピング法で右側のTFT(PチャネルTFT)のシリコン領域に不純物(ホウ素)を注入した。ドーピングガスとして、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、加速電圧を50~80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い $5 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてP型の不純物領域40bを形成した。

10 【0019】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いたが、その他のレーザー、例えば、XeFエキシマレーザー(波長353nm)、XeClエキシマレーザー(波長308nm)、ArFエキシマレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を200~450℃程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。なお、レーザー照射時にはポリイミドのマスク38を残しておいた。これは露出したアルミニウムがレーザー照射によってダメージを受けるからである。このポリイミドのマスク38は酸素プラズマ中にさらすことによって簡単に除去できる。この結果、不純物領域40a、40bが活性化された。(図3(D))

30 【0020】続いて、厚さ2000Åの酸化珪素膜41を層間絶縁物としてTEOSを原料とするプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線42a、42b、42cを形成した。配線42cは配線37cと右側のTFT(PチャネルTFT)の不純物領域の40bの一方41を接続する。以上の工程によって半導体回路が完成した。(図3(E))

40 【0021】以上の工程によって半導体回路が完成した。作製されたTFTの特性は従来の600℃のアニールによって結晶化する工程によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧15Vで11MHz、17Vで16MHzの動作を確認できた。また、信頼性の試験においても従来のものとの差を見出せなかった。

【0022】

50 【発明の効果】本発明によって、TFTの特性を向上させ、また、その信頼性を高めることが可能となった。本発明は、実施例2に示したように、例えば、500℃以下というような低温、かつ、4時間という短時間でシリ

7

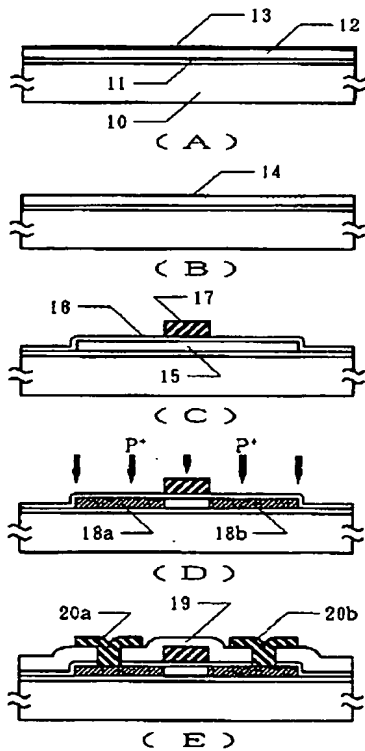
コンの結晶化をおこなうものである。しかも、得られるTFTの特性、信頼性は従来のものとは何ら劣るところはない。スループットの向上に伴うコスト低下の効果は言うまでもない。加えて、従来、600℃のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによって、例えば550℃以下の結晶化プロセスを採用することによって、そのような問題点は一気に解消してしまう。

【0023】このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの集積回路等を切り出すことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

【図1】



8

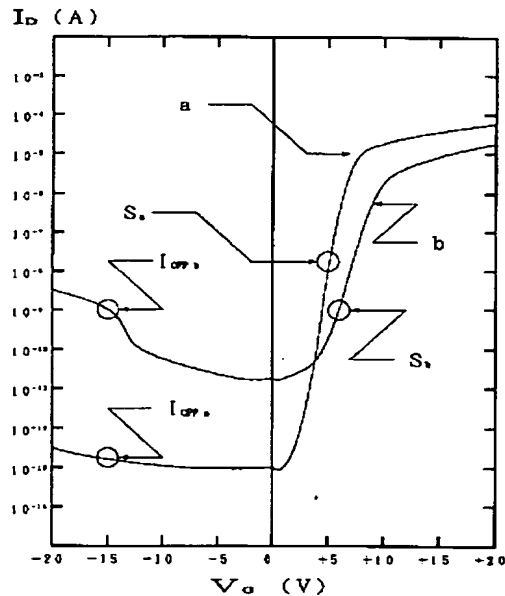
【図2】 実施例1で得られたTFTの特性の例を示す。

【図3】 実施例2の作製工程断面図を示す。

【符号の説明】

- 10・・・基板
- 11・・・下地絶縁膜（酸化珪素）
- 12・・・アモルファスシリコン膜
- 13・・・ニッケル膜
- 14・・・清浄なシリコン表面
- 15・・・島状シリコン領域
- 16・・・ゲート絶縁膜（酸化珪素）
- 17・・・ゲート電極（燐ドーパされたシリコン）
- 18・・・ソース、ドレイン領域
- 19・・・層間絶縁物
- 20・・・金属配線・電極（窒化チタン／アルミニウム）

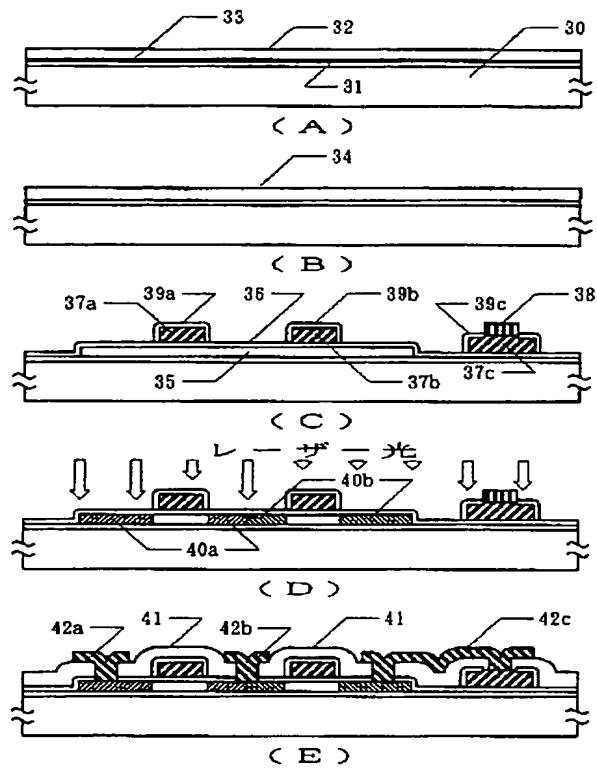
【図2】



a : 本発明  
b : 従来法



【図3】



フロントページの続き

(72)発明者 竹村 保彦  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内